

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 6 7 7 9 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 6 7 7 9 3]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 8 8 1

【書類名】 特許願

【整理番号】 0241674

【提出日】 平成15年 6月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/107

【発明の名称】 半導体受光装置及びアバランシェフォトダイオード

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鋤塚 治彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【先の出願に基づく優先権主張】

【出願番号】 特願2002-316506

【出願日】 平成14年10月30日

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体受光装置及びアバランシェフォトダイオード

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成された第 1 導電型半導体層と、該第 1 導電型半導体層の一部領域上に形成された光導波路用コア層と、該光導波路用コア層上に形成された上部クラッド層とを有する光導波路と、

光吸収層と、ヘテロ障壁緩和層と、第 1 導電型電界降下層の下側層と、第 1 導電型電界降下層の上側層と、キャリア増倍層と、第 2 導電型半導体層とを前記第 1 導電型半導体層の別の領域上に順に形成してなり、前記光導波路と結合したアバランシェフォトダイオードと、

を備え、

前記第 1 導電型電界降下層の下側層と前記光導波路用コア層との各側面が接触し、且つ、前記第 1 導電型電界降下層の上側層の一部が前記光導波路用コア層上に形成されたことを特徴とする半導体受光装置。

【請求項 2】 前記キャリア増倍層の膜厚が $0.07\ \mu\text{m}$ 以上 $0.1\ \mu\text{m}$ 以下であり、前記光吸収層の膜厚が $0.15\ \mu\text{m}$ 以上 $0.2\ \mu\text{m}$ 以下であることを特徴とする請求項 1 に記載の半導体受光装置。

【請求項 3】 前記第 1 導電型電界降下層の下側層は、その下面から上面に向かって組成が変化し、ヘテロ障壁緩和層として機能することを特徴とする請求項 1 又は請求項 2 に記載の半導体受光装置。

【請求項 4】 前記ヘテロ障壁緩和層のバンドギャップは前記光吸収層のバンドギャップよりも大きく、前記キャリア増倍層のバンドギャップは前記ヘテロ障壁緩和層のバンドギャップよりも大きいことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体受光装置。

【請求項 5】 前記第 1 導電型電界降下層の下側層は N 型 InGaAs よりなり、前記第 1 導電型電界降下層の上側層は N 型 InP よりなることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体受光装置。

【請求項 6】 前記半導体基板は InP 基板であり、前記第 1 導電型半導体層

はN型InP層であり、前記光吸収層はアンドープInGaAs層であり、前記ヘテロ障壁緩和層はアンドープInGaAsP層であり、前記キャリア増倍層はアンドープInP層であり、前記光導波路用コア層はアンドープInGaAsP層であり、前記上部クラッド層はInP層であることを特徴とする請求項1乃至請求項5のいずれかに記載の半導体光受光装置。

【請求項7】 半導体基板と、

前記半導体基板の上方に形成され、膜厚が $0.15\mu\text{m}$ 以上 $0.2\mu\text{m}$ 以下である光吸収層と、

前記光吸収層の上方に形成され、膜厚が $0.07\mu\text{m}$ 以上 $0.1\mu\text{m}$ 以下であるキャリア増倍層と、

を有することを特徴とするアバランシェフォトダイオード。

【請求項8】 前記光吸収層の上に形成されたヘテロ障壁緩和層と、

前記ヘテロ障壁緩和層の上に形成された電界降下層と、を有し、

前記キャリア増倍層は前記電界降下層上に形成されたことを特徴とする請求項7に記載のアバランシェフォトダイオード。

【請求項9】 前記光吸収層はアンドープInGaAsであり、

前記キャリア増倍層はアンドープInP層であることを特徴とする請求項7又は請求項8に記載のアバランシェフォトダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速光通信等に使用される半導体受光装置及びアバランシェフォトダイオードに関する。

【0002】

【従来の技術】

従来例に係る超高速光通信用の半導体受光装置の断面構造を図1に示す。

【0003】

図1の構造では、N型InPよりなるN型半導体層2と、アンドープInGaAsPよりなる光導波路用コア層3と、アンドープInPよりなる上部クラッド層4とがこの順

にアンドープInP基板 1 の所定領域上に形成され、それらが光導波路 5 を構成する。そして、この光導波路 5 の端部近くのN型半導体層 2 上には、アンドープInGaAsよりなる光吸収層 6 と、P型InPよりなるP型半導体層 7 とがこの順に形成され、N型半導体層 2 と共にPINフォトダイオード 8 を構成している。

【 0 0 0 4 】

この半導体受光装置では、厚さが薄い光吸収層 6 で十分な量子効率を得るために、光導波路用コア層 3 からの光が光吸収層 6 の接合面と水平な方向から光吸収層 6 に入射される。このような構造を以下では横型入射構造と言うことにする。そのような構造は、公開されてはいないが、特願 2 0 0 2 - 2 1 4 4 0 8 号に記載される。

【 0 0 0 5 】

そして、N側電極 9 とP側電極 1 0 とに逆バイアスの電圧が印加された状態で光が入射すると、光吸収層 6 に電子—正孔対が生成し、光電流が検出される。

【 0 0 0 6 】

なお、フォトダイオードとしては、上記のPINフォトダイオードの他に、特許文献 1 に記載されるようなアバランシェフォトダイオード (APD) も知られている。更に、横型入射構造ではなく、ガードリング構造を有するプレーナ型のアバランシェフォトダイオードが、例えば特許文献 2 に開示されている。そして、非特許文献 1 には、アバランシェフォトダイオードの動作特性について開示されている。

【 0 0 0 7 】

【特許文献 1】

特開平 1 1 - 3 5 4 8 2 7 号公報

【特許文献 2】

特開平 1 0 - 2 0 9 4 8 6 号公報

【非特許文献 1】

R. B. Emmons, J. Appl. Phys. 38, 3705, 1967

【 0 0 0 8 】

【発明が解決しようとする課題】

その横型入射構造の半導体受光装置では、更に大きな光電流を取り出し、且つ受信感度を高めるのが望ましく、そのためにはPINフォトダイオード8とは別のフォトダイオードを採用するのが好ましい。

【0009】

更に、アバランシェフォトダイオードにおいては、単に受信感度が高いだけでなく、高速に変調された光信号を受信し、その光信号に追従した光電流が得られるように高速に動作するのが好ましい。

【0010】

本発明は、係る従来例の問題点に鑑みて創作されたものであり、従来よりも大きな光電流を取り出すことができ、且つ、受信感度の高い半導体受光装置を提供することを目的とする。

【0011】

また、本発明の別の目的は、従来よりも高速に動作することができるアバランシェフォトダイオードを提供することにある。

【0012】

【課題を解決するための手段】

本発明の一観点によれば、半導体基板と、前記半導体基板上に形成された第1導電型半導体層と、該第1導電型半導体層の一部領域上に形成された光導波路用コア層と、該光導波路用コア層上に形成された上部クラッド層とを有する光導波路と、光吸収層と、ヘテロ障壁緩和層と、第1導電型電界降下層の下側層と、第1導電型電界降下層の上側層と、キャリア増倍層と、第2導電型半導体層とを前記第1導電型半導体層の別の領域上に順に形成してなり、前記光導波路と結合したアバランシェフォトダイオードと、を備え、前記第1導電型電界降下層の下側層と前記光導波路用コア層との各側面が接触し、且つ、前記第1導電型電界降下層の上側層の一部が前記光導波路用コア層上に形成された半導体受光装置が提供される。

【0013】

次に、本発明の作用について説明する。

【0014】

本発明によれば、横型入射構造の半導体受光装置において、PINフォトダイオードよりも増倍率の大きなアバランシェフォトダイオード (APD) を形成するので、PINフォトダイオードを使用する場合よりも大きな光電流が取り出され、また、受信感度も高まる。

【0015】

更に、本発明によれば、第1導電型電界降下層の下側層と光導波路用コア層との各側面が接触し、且つ第1導電型電界降下層の上側層の一部が光導波路用コア層上に形成される。よって、APDの深さ方向の電界分布を考えると、APDの中央部付近では、第1導電型電界降下層の上側層と下側層の二層分電界が降下するのに対し、光導波路用コア層を含む断面では、第1導電型電界降下層の上側層の分しか電界降下が起きない。そのため、電界をAPDの深さで積分して得られる値は、APDの中央部付近よりも、光導波路用コア層を含む断面で積分した値の方が大きくなる。一般に、APDのブレイクダウン電圧は、上記積分値が大きい程高くなるので、上記によれば、APDの中央部付近よりもその端部でのブレイクダウン電圧が高くなり、APDの端部でブレイクダウンが起き難くなる。

【0016】

しかも、第1導電型電界降下層の下側層の構成元素の組成をその下面から上面に向かって変化させ、ヘテロ障壁緩和層として機能させることにより、キャリアが下側層にトラップされて半導体受光装置の応答速度が低下するのが防止される。

【0017】

また、本発明の別の観点によれば、半導体基板と、前記半導体基板の上方に形成され、膜厚が $0.15\mu\text{m}$ 以上 $0.2\mu\text{m}$ 以下である光吸収層と、前記光吸収層の上方に形成され、膜厚が $0.07\mu\text{m}$ 以上 $0.1\mu\text{m}$ 以下であるキャリア増倍層と、を有するアバランシェフォトダイオードが提供される。

【0018】

次に、本発明の作用について説明する。

【0019】

本願発明者が行った実験結果によれば、本発明のように光吸収層の膜厚を $0.$

15 μm 以上0.2 μm 以下にし、且つ、キャリア増倍層の膜厚を0.07 μm 以上0.1 μm 以下とすることにより、アバランシェフォトダイオードのMB値が理論的に予測される値よりも大きくなることが確認された。このようにMB積が大きくなると、アバランシェフォトダイオードの動作速度が速くなり、光通信の高速化に大きく貢献することができる。

【0020】

【発明の実施の形態】

（第1実施形態）

本実施形態を説明する前に、基礎となる予備的事項について説明する。

【0021】

横型入射構造の半導体受光装置において、その受信感度を高め、且つ、大きな光電流を取り出すには、PINフォトダイオードよりも電流増幅作用が大きく、高速に変調された光信号を高い量子効率で受信可能なアバランシェフォトダイオード（APD）を利用することが考えられる。

【0022】

図1に示したPINフォトダイオード8をアバランシェフォトダイオードに単純に置き換えると、図2のような横型入射構造になる。なお、図2において、図1と同じ部材には図1と同じ符号を付してある。

【0023】

図2のアバランシェフォトダイオード17は、アンドープInGaAsよりなる光吸収層12と、アンドープInGaAsPよりなるヘテロ障壁緩和層13と、N型InPよりなる電界降下層（第1導電型電界降下層）14と、アンドープInPよりなるキャリア増倍層15と、P型InP層（第2導電型半導体層）16とをN型半導体層（第1導電型半導体層）2上にこの順に形成してなる。

【0024】

但し、これらの膜において、ヘテロ障壁緩和層13のバンドギャップは光吸収層12のバンドギャップよりも大きく、そして、キャリア増倍層15のバンドギャップはヘテロ障壁緩和層13のバンドギャップよりも大きい。

【0025】

なお、本実施形態では、場合によっては、InP基板 1 や上部クラッド層 4 にシリコンをドーピングしてもよい。

【0026】

また、N型半導体層 2 上にはTi/Pt/AuよりなるN側電極 18 が形成され、P型InP層 16 上にはTi/Pt/AuよりなるP側電極 19 が形成され、これらの電極間に逆バイアスの電圧が印加される。

【0027】

上記の層のうち、ヘテロ障壁緩和層 13 は、構成元素の組成がInGaAsからInPに徐々に変化するように形成され、光吸収層 12 と電界降下層 14 との間のヘテロ障壁を緩和し、ヘテロ障壁により正孔がトラップされるのを防ぐように機能する。

【0028】

また、電界降下層 14 は、そこで電界降下を急激に生じさせてその上のキャリア増倍層 15 に高電界を印加するように機能する。

【0029】

光導波路用コア層 3 を伝播する光は光吸収層 12 に入射し、そこで電子-正孔対を発生させるが、これらのうち正孔はキャリア増倍層 15 に流れ込む。キャリア増倍層 15 には上記のように高電界が印加されているので、流れ込んだ正孔は次々とイオン化を引き起こし、それによりキャリアの増倍が行われる。これにより、PINフォトダイオードを使用する場合よりも大きな光電流を得ることができる。

【0030】

ところが、この構造では、光導波路 5 との界面付近（図のA部）の電界降下層 14 に電界が集中するので、その部分でブレークダウンが生じ易くなってしまう。そのため、暗電流が大きくなるという不都合や、N側電極 18 とP側電極 19 との間に大きな電圧を印加することができず、アバランシェフォトダイオード 17 の増倍を大きく取ることができないといった不都合が生じる。

【0031】

これらの点に鑑み、本発明者は図3に示すような半導体受光装置に想到した。

図3において、図2と同じ部材には図2と同じ符号を付し、その説明は省略する。

【0032】

この光受光装置が図2と異なる点は、電界降下層14が下側層14aと上側層14bとで構成され、且つ、上側層14bの下に光導波路用コア層3が入り込んでいる点である。下側層14aは、その下面から上面に向かってヘテロ障壁緩和層13の組成から上側層14bの組成に徐々に変化する組成を有するので、ヘテロ障壁緩和層としても機能し、正孔が下側層14aにトラップされて応答速度が低下するのが防がれる。そのような下側層14aは、例えば、N型InGaAsPよりなる。一方、上側層14bは、例えばInPよりなる。

【0033】

図15は、そのような半導体受光装置の深さ方向の電界分布を示すグラフであり、縦軸はアバランシェフォトダイオード17からの深さを表し、横軸はその深さにおける電界強度Eを表す。そして、実線は図3のI-I線に沿う電界分布であり、一点鎖線は図3のII-II線に沿う電界分布である。

【0034】

図15に示すように、II-II線に沿う場合は、下側層14aと上側層14bの二層分電界が降下するのに対し、I-I線に沿う場合は、下側層14aが無いので、上側層14bの一層分しか電界が降下しない。よって、電界Eを深さで積分して得られるグラフの面積は、I-I線に沿う場合の方がII-II線に沿う場合よりも大きくなる。

【0035】

一般に、アバランシェフォトダイオードのブレイクダウン電圧は、上記の面積が大きい程高くなることが知られている。従って、今の場合、I-I線に沿う場合の方がII-II線に沿う場合よりもブレイクダウン電圧が高くなる。

【0036】

よって、光導波路5との界面付近でブレイクダウンが生じ難くなるので、各電極18、19間に十分高い電圧を印加することができ、アバランシェフォトダイオード17の増倍を図2よりも大きく取ることが可能となる上、暗電流も小さく

なる。

【0037】

次に、上記のような半導体受光装置の製造工程について、図4～図13を参照しながら説明する。

【0038】

最初に、図4（a）に示す断面構造を得るまでの工程について説明する。

【0039】

まず、N型不純物としてFeが $1 \times 10^{18} \text{cm}^{-3}$ ドーピングされたN型InPを、シリコンがドーピングされたInP基板（半導体基板）1上に厚さ約 $2 \mu\text{m}$ にエピタキシャル成長し、それをN型半導体層2とする。そのエピタキシャル成長には例えばMOCVD法が採用されるが、以下の工程で成膜される層もMOCVD法で形成される。

【0040】

次いで、このN型半導体層2上に、アンドープInGaAs層12aを厚さ約 $0.5 \mu\text{m}$ にエピタキシャル成長する。そのアンドープInGaAs層12aにおいては、InPよりなる下地のN型半導体層2との格子整合を図るべく、InとAsとの組成比をIn:As=0.53:0.47とする。

【0041】

そして、このアンドープInGaAs層12a上に、組成波長が $1.25 \mu\text{m}$ で厚さが約 $0.18 \mu\text{m}$ であり、xの値が1から徐々に小さくなるアンドープ $\text{InGaAs}_x\text{P}_{1-x}$ 層13aをエピタキシャル成長する。

【0042】

更に、この $\text{InGaAs}_x\text{P}_{1-x}$ 層13a上に、N型不純物としてSiが $1 \times 10^{18} \text{cm}^{-3}$ ドーピングされ、且つ、yの値が徐々に小さくなり最終的には0となるN型 $\text{InGaAs}_y\text{P}_{1-y}$ 層14cを厚さ約 $0.02 \mu\text{m}$ にエピタキシャル成長する。この $\text{InGaAs}_y\text{P}_{1-y}$ 層14cの組成波長は $1.25 \mu\text{m}$ である。なお、 $\text{InGaAs}_x\text{P}_{1-x}$ 層13aとN型 $\text{InGaAs}_y\text{P}_{1-y}$ 層14cとの格子整合を図るべく、これらの層の界面では $x=y$ とする。

【0043】

続いて、N型不純物としてSiが $1 \times 10^{18} \text{cm}^{-3}$ ドーピングされたN型InP層14dをN型 $\text{InGaAs}_y\text{P}_{1-y}$ 層14c上に厚さ約 $0.02 \mu\text{m}$ にエピタキシャル成長させる。

【0044】

そして、厚さが約 $0.20\ \mu\text{m}$ のアンドープInP層 15 a をこのN型InP層 14 d 上にエピタキシャル成長し、更にその上にP型不純物としてZnが $1 \times 10^{18}\text{cm}^{-3}$ だけドーピングされたP型InP層 16 a をエピタキシャル成長させる。

【0045】

更に、このP型InP層 16 上にフォトリソ形成し、それを露光・現像することにより、概略矩形の平面形状を有するレジストパターン 20 とする。

【0046】

次いで、このレジストパターン 20 をエッチングマスクにし、エッチング液として硫酸と過酸化水素水との混合液を使用することで、P型InP層 16 からアンドープInGaAs層 12 a までをエッチングする。

【0047】

これにより、図4 (b) に示すように、アンドープInGaAs層 12 a は光吸収層 12 となり、アンドープInGaAs_xP_{1-x}層 13 a はヘテロ障壁緩和層 13 となる。また、N型InGaAs_yP_{1-y}層 14 c は電界降下層 14 の下側層 14 a となり、N型InP層 14 d はその上側層 14 b となる。そして、アンドープInP層 15 a 及びP型InP層 16 a は、それぞれキャリア増倍層 15 及びP型半導体層 16 となる。

【0048】

そのようなエッチングにおいては、下側層 14 a、ヘテロ障壁緩和層 13、及び光吸収層 12 のエッチレートが上側層 14 b のエッチレートよりも大きい。そのため、下側層 14 a、ヘテロ障壁緩和層 13、及び光吸収層 12 のそれぞれの側面は、上側層 14 b の側面よりも後退することになる。このエッチングが終了後、レジストパターン 20 は除去される。

【0049】

次に、図5 に示す断面構造を得るまでの工程について説明する。

【0050】

まず、組成波長が $1.1\ \mu\text{m}$ のアンドープInGaAsP層をN型半導体層 2 上に厚さ約 $0.7\ \mu\text{m}$ にエピタキシャル成長させ、それを光導波路用コア層 3 とする。その光導波路用コア層 3 は、電界降下層 14 の上側層 14 b の下に距離D (=約0

・ 2 μm) だけ入り込んだ構造となる。

【0051】

その後、この光導波路用コア層 3 上にアンドープ InP 層 2 1 を厚さ約 2.0 μm 程度にエピタキシャル成長させる。

【0052】

次いで、図 6 の斜視図に示すように、InP 基板 1 上に上述の如く形成された各層を、光の進行方向に沿ってストライプ状にパターンニングする。

【0053】

続いて、図 7 (a) に示すように、アンドープ InP 層 2 1 の端部と P 型半導体層 1 6 とを覆う SiO_2 膜 2 2 を熱 CVD 法により厚さ 0.1 μm 程度に形成する。

【0054】

そして、図 7 (b) に示すように、 SiO_2 膜 2 2 をエッチングマスクとして使用しながら、HCl 液をエッチング液とするウェットエッチングにより、 SiO_2 膜 2 2 で覆われていない部分のアンドープ InP 層 2 1 を選択的にエッチングして除去する。

【0055】

次に、図 8 (a) に示すように、残存するアンドープ InP 層 2 1 の側面上と光導波路用コア層 3 上とに、アンドープ InP 層を厚さ約 2 μm 程度にエピタキシャル成長させ、それを上部クラッド層 4 とする。

【0056】

次いで、図 8 (b) に示すように、 SiO_2 膜 2 2 を除去して P 型半導体層 1 6 の表面を露出させ、その上に厚さ約 3 nm の Ti 膜と、厚さ約 200 nm の Pt 膜と、厚さ約 2 μm の Au 膜とをこの順に蒸着法により形成し、それらを P 側電極 1 9 とする。なお、P 側電極 1 9 と P 型半導体層 1 6 との接合面積は、6 $\mu\text{m} \times 9 \mu\text{m}$ である。

【0057】

その後、図 9 (a) に示すように、光が入射される側とは反対側に形成されている上部クラッド層 4 から InP 基板 1 の一部までを SiCF_4 の雰囲気中でドライエッチングすることにより、N 型半導体層 2 の表面を剥き出すと共に、InP 基板 1 に段差面 1 a を形成する。

【0058】

そして、図9 (b) に示すように、段差面 1 a からN型半導体層 2 の表面にAuGe膜、及びAu膜を蒸着法によりこの順に積層し、それをN側電極 18 とする。

【0059】

続いて、図10 に示すように、CVD法によりSiN膜 23 を全面に約 $0.3 \mu\text{m}$ に形成する。

【0060】

なお、この工程までの平面図は図11 のようになる。但し、図11 においては、SiN膜 23、上部クラッド層 4、及びInP層 21 を省略してある。そして、先の図10 は、図11 のIII-III断面図に相当する。

【0061】

図11 に示されるように、N側電極 18 は二つ形成され、その各々は鉤型の平面形状を有する。

【0062】

その後、図12 に示すように、P側電極 19 上のSiN膜 23 にホール 23 a を形成する。そして、そのホール 23 a 内と、該ホール 23 a から段差面 1 a の上方のSiN膜 23 上とにTi/Au膜を形成し、それをP側電極引き出し線 24 とする。

【0063】

ここまでの平面図を図13 に示す。但し、図13 においては、SiN膜 23、上部クラッド層 4、及びInP層 21 を省略してある。そして、先の図12 は、図13 のIV-IV線断面図に相当する。

【0064】

以上により、本実施形態に係る半導体受光装置が完成する。その半導体受光装置の斜視図は図14 に示す通りであり、そのP側電極引出し配線 24 とN側電極 18 との間に30V程度の電圧を印加すると、10倍以上の十分な増倍率が得られる。

【0065】

(第2実施形態)

既述の第1実施形態では、横型入射構造にアバランシェフォトダイオード 17

を組み込むことにより、PINフォトダイオードを使用する場合よりも高い受信感度を有する半導体受光装置を得た。

【 0 0 6 6 】

ところが、光通信の基幹ネットワークで使用される半導体受光装置では、このように受信感度が高いだけでなく、約 4 0 Gbit/sec程度の高速な伝送速度に変調された光信号を受信し、その光信号に追従した光電流が得られるように高速に動作するのが好ましい。

【 0 0 6 7 】

そこで、本実施形態では、このように高速に変調された光信号を受信できるアバランシェフォトダイオードについて説明する。

【 0 0 6 8 】

まず、アバランシェフォトダイオードの高速特性についての基礎的事項について説明する。

【 0 0 6 9 】

アバランシェフォトダイオードの高速特性については、例えば非特許文献 1 に開示されており、そこでは増倍立ち上がり時間によるアバランシェフォトダイオードの3dB遮断周波数 f_{3dB} が次式で表されている。

【 0 0 7 0 】

【数 1】

$$f_{3db} = \frac{1}{2\pi M} N(k) k \frac{v}{w} \quad \cdots (1)$$

式（1）において、Mは増倍率、kはキャリア増倍層における電子とホールのそれぞれのイオン化率の比、vはキャリア増倍層でのキャリアの飽和速度、wはキャリア増倍層の膜厚、N(k)はkに対して鈍く変化する無次元の関数であり、通常は一定と近似する。

【 0 0 7 1 】

式（1）のように、3dB遮断周波数 f_{3dB} は増倍率Mに反比例しているため、これら f_{3dB} とMとの積は一定になる。この積は、増倍帯域幅積（MB積）と呼ばれ、その値が大きい程アバランシェフォトダイオードが高速で動作できるようになる。

4 0 Gbit/secの基幹ネットワークでは、ビットレートの7 0 %である2 8 GHzの帯域が必要となり、最適増幅率7 倍で動作させるためには、2 0 0 GHzのMB積が必要となるが、このように大きなMB積を有するアバランシェフォトダイオードはまだ市場に提供されていない。

【0 0 7 2】

式(1)より、MB積を増大させる方法には二つの方法があることが理解される。

【0 0 7 3】

その一つ目の方法はイオン化率 k を増大させる方法である。イオン化率 k は材料によって決まるため、その値を変えるには材料を変更する必要がある。第1実施形態ではInPによりキャリア増倍層1 5を構成したが、InPよりも大きなイオン化率 k を有する材料としてAlInAsがある。ところが、AlInAsは、潮解性が高く、水分を吸収してその特性が劣化してしまうので、受光装置の信頼性を低下させてしまう。

【0 0 7 4】

二つ目の方法は、キャリア増倍層1 5の膜厚 w を薄くする方法である。この方法を採用する場合、薄いキャリア増倍層1 5において電子-ホール対を多数発生させるために、第1実施形態よりも大きな電圧をキャリア増倍層1 5に印加する必要がある。

【0 0 7 5】

図1 6は、図3に示した半導体受光装置の深さ方向の電界分布を示すグラフであり、縦軸はアバランシェフォトダイオード1 7からの深さを表し、横軸はその深さにおける電界強度 E を表す。そして、実線は、キャリア増倍層1 5を薄くしない第1実施形態における図3のII-II線に沿う電界分布を示し、一点鎖線は、キャリア増倍層1 5を薄くした場合のII-II線に沿う電界分布を示す。

【0 0 7 6】

図1 6から明らかなように、上記のように薄いキャリア増倍層1 5に大きな電圧を印加しようとする、その下方の光吸収層1 2にも大きな電圧が印加される。

【0077】

しかしながら、光吸収層 12 のバンドギャップが狭いため、たとえキャリア増倍層 15 よりも小さな電圧が光吸収層 12 に印加されても、光吸収層 12 においてアバランシェ増倍が生じてしまう。その結果、キャリア増倍層 15 を薄くしたにも関わらず、実効的な増倍領域幅が光吸収層 12 まで広がってしまうので、式 (1) の w が大きくなって MB 積がむしろ低下してしまうことになる。

【0078】

よって、上記二つの方法を採用したのでは、信頼性のよい InP をキャリア増倍層 15 に使用しながら高い MB 積を得ることはできない。

【0079】

これらの点に鑑み、本願発明者は、上記とは異なる方法で高い MB 積を得るべく、以下のような種々の実験を行った。

【0080】

図 17 は、この実験のために作製された、本実施形態に係るプレーナ型のアバランシェフォトダイオードの断面図である。

【0081】

このアバランシェフォトダイオードにおいては、N 型不純物として Si が $1 \times 10^{18} \text{cm}^{-3}$ の濃度でドーパされた InP よりなる N 型半導体層 32 が N 型の InP 基板 31 上に厚さ $2 \mu\text{m}$ にエピタキシャル形成される。そして、この N 型半導体層 32 上には、アンドープ InGaAs よりなる光吸収層 33 が厚さ $0.2 \mu\text{m}$ にエピタキシャルに形成される。この光吸収層 33 を構成する InGaAs は、InP よりなる下地の N 型半導体層 32 との格子整合を図るべく、In と As との組成比を $\text{In} : \text{As} = 0.53 : 0.47$ としている。

【0082】

更に、光吸収層 33 の上には、組成波長が $1.25 \mu\text{m}$ で厚さが約 $0.1 \mu\text{m}$ であり、 x の値が 1 から徐々に小さくなるアンドープ $\text{InGaAs}_x\text{P}_{1-x}$ 層がヘテロ障壁緩和層 34 としてエピタキシャルに形成される。

【0083】

そして、このヘテロ障壁緩和層 34 上には、N 型不純物として Si が $1 \times 10^{18} \text{cm}^{-3}$

m⁻³ドーピングされたN型InPがN型電界降下層35として厚さ0.02 μmにエピタキシャルに形成される。

【0084】

そのN型電界降下層35上には、アンダードーピングInPよりなるキャリア増倍層36が厚さ0.05 μmにエピタキシャルに形成され、更にその上には、P型不純物としてZnが $1 \times 10^{18} \text{cm}^{-3}$ だけドーピングされたP型InPよりなるP型半導体層37が厚さ1 μmにエピタキシャルに形成される。

【0085】

そして、このP型半導体層37上には、厚さ2 μmのAu（金）層と、厚さ0.2 μmのPt（プラチナ）層と、厚さ0.03 μmのTi（チタン）層とをこの順に積層してなるTi/Pt/Au層をリング状の平面形状にパターンニングしてなるP側電極38が形成される。

【0086】

また、InP基板31の二つの主面のうち、P側電極38が形成される側とは反対側の主面には、厚さ0.27 μmのAu層と、厚さ0.03 μmのAuGe層とをこの順に積層してなるAuGe/Au層がN側電極30として形成される。

【0087】

上記した各層33～37の機能は、第1実施形態で説明した各層12～16のそれぞれと同じなので、その説明は以下では省略する。

【0088】

図18は、InPよりなるキャリア増倍層36の膜厚を振り、それによってこのアバランシェフォトダイオードのMB積がどのように変化するのかを実験して得られたグラフである。但し、この実験では、光吸収層33の厚みも振っており、図中の実験値①では光吸収層33の厚みを0.2 μmとし、実験値②ではその厚みを0.8 μmとしている。また、同図には、比較のために、式（1）から予測されるMB値も併記してある。

【0089】

図18に示すように、得られた実験値は、キャリア増倍層36の膜厚が厚いところでは式（1）の理論値よりも小さい値となったが、キャリア増倍層36の膜

厚が $0.1\ \mu\text{m}$ よりも薄くなると、 40Gbit/sec の基幹通信に必要な 200GHz が得られ、理論値よりも大きくなった。

【0090】

このように、キャリア増倍層 36 の膜厚を薄くすると大きな MB 値が得られたが、キャリア増倍層 36 をあまり薄くし過ぎると、電子-ホール対生成を効率よく引き起こすためにキャリア増倍層 36 に高い電圧を印加する必要が生じ、その結果、キャリア増倍層 36 を流れるトンネル電流が増大する恐れがある。

【0091】

そこで、本願発明者は、キャリア増倍層 36 の膜厚を振り、それによってキャリア増倍層 36 を流れるトンネル電流の値がどのように変化するのかを実験した。その結果を図 19 に示す。

【0092】

図 19 に示すように、そのトンネル電流は、キャリア増倍層 36 の膜厚が薄くなるほど増大する傾向にある。

【0093】

トンネル電流は、実用的には $1\ \mu\text{A}$ 以下である必要があり、これを満たすにはキャリア増倍層 15 の膜厚の下限を $0.07\ \mu\text{m}$ すれば良いことが図 19 から理解される。

【0094】

一方、図 20 は、光吸収層 33 の膜厚を振った場合に、MB 積がどのように変化するかを実験して得られたグラフである。但し、この実験においては、キャリア増倍層 36 の膜厚を $0.1\ \mu\text{m}$ に固定してある。

【0095】

図 20 に示されるように、MB 積は、光吸収層 33 の膜厚が薄くなるほど増加する傾向にある。この増加傾向は、光吸収層 33 の膜厚が $0.2\ \mu\text{m}$ よりも薄くなると特に顕著となる。これにより、大きな MB 積を得るには、光吸収層 33 の膜厚を $0.2\ \mu\text{m}$ よりも薄くすれば良いことが理解される。

【0096】

ところで、MB 積を大きくするために光吸収層 33 の膜厚を薄くし過ぎると、光

吸収層 33 における電子—ホール対生成の量子効率が低下する恐れがある。

【0097】

そこで、本願発明者は、光吸収層 33 の膜厚を振った場合に、光吸収層 33 における量子効率がどのように変化するのかを実験した。その結果を図 21 に示す。

【0098】

図 21 に示すように、その量子効率は、光吸収層 33 の膜厚が薄くなるほど低下する傾向にある。実用的には、量子効率が 0.7 以上である必要があり、これを満たすためには光吸収層 33 の膜厚を 0.15 μm 以上とすればよいのが図 21 から理解される。

【0099】

上記した図 18～図 21 の実験結果より、キャリア増倍層 36 の膜厚を 0.07 μm 以上 0.1 μm 以下にし、且つ、光吸収層 33 の膜厚を 0.15 μm 以上 0.2 μm 以下とすることにより、(1) 式から予測のつかない大きな MB 積を得ることが明らかとなった。

【0100】

このような効果が得られる理由について、本願発明者は次のように考察している。まず、InP においては、ホールの dead space が電子のそれよりも長く約 0.01 μm 程度であるため、InP よりなるキャリア増倍層 36 を薄くしてその膜厚をホールの dead space の数倍程度にすると、キャリア増倍層 36 中でのホールの散乱回数が電子のそれよりも少なくなり、ホールのイオン化率が電子のイオン化率よりも小さくなると考えられる。その結果、式 (1) における k が大きくなり、MB 積が大きくなるものと推測される。

【0101】

また、一つのキャリアに着目すると、そのキャリアのある時点における散乱から次の散乱までの間には、キャリアはその飽和速度 v よりも速く移動する。よって、上記のようにホールの散乱回数が少なくなると、ホールの飽和速度 v が速くなると推測され、その結果、式 (1) により、MB 積が大きくなるものと考えられる。

【0102】

このように大きなMB積を有するアバランシェフォトダイオードによれば、40 Gbits/sec程度の高速に変調された光信号に追従する光電流を取り出すことができ、次世代の光通信の基幹ネットワークの実現に大きく貢献することが可能となる。

【0103】

なお、上記では、図17に示したプレーナ型のアバランシェフォトダイオードについて説明したが、本実施形態はこれ限定されず、第1実施形態の図3で説明した横型入射構造におけるアバランシェフォトダイオード17にも本実施形態を適用し得る。その場合は、キャリア増倍層15の膜厚を0.07 μm 以上0.1 μm 以下にし、且つ、光吸収層12の膜厚を0.15 μm 以上0.2 μm 以下とすることにより、40 Gbits/sec程度の高速で動作可能なアバランシェフォトダイオード17が光導波路5に結合した横型入射構造の半導体受光装置が得られる。

【0104】**【発明の効果】**

以上説明したように、本発明に係る半導体受光装置によれば、従来例に係るPINフォトダイオードに代えてアバランシェフォトダイオードを形成するので、従来よりも大きな光電流を取り出すことができ、また、受信感度も高くすることができる。

【0105】

更に、その半導体受光装置では、第1導電型電界降下層の下側層と光導波路用コア層との各側面が接触し、且つ第1導電型電界降下層の上側層の一部が光導波路用コア層上に形成されるようにしたので、アバランシェフォトダイオード端部のブレイクダウン電圧が高まり、そこでブレイクダウンを起き難くすることができる。

【0106】

しかも、第1導電型電界降下層の下側層の組成をその下面から上面に向かって変化させ、ヘテロ障壁緩和層として機能させることにより、キャリアが下側層にトラップされて半導体受光装置の応答速度が低下するのを防止することができる

。

【0107】

また、本発明に係るアバランシェフォトダイオードによれば、光吸収層の膜厚を $0.15\mu\text{m}$ 以上 $0.2\mu\text{m}$ 以下にし、且つ、キャリア増倍層の膜厚を $0.07\mu\text{m}$ 以上 $0.1\mu\text{m}$ 以下とするので、MB積の値を理論的に予測される値よりも大きくすることができ、アバランシェフォトダイオードの動作速度を速めることができる。

【図面の簡単な説明】

【図1】 図1は、従来例に係る半導体受光装置の断面図である。

【図2】 図2は、従来例に係る半導体受光装置のPINフォトダイオードを単純にアバランシェフォトダイオードに置き換えた構造の断面図である。

【図3】 図3は、本発明の第1の実施の形態に係る半導体受光装置の断面図である。

【図4】 図4は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その1）である。

【図5】 図5は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その2）である。

【図6】 図6は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す斜視図である。

【図7】 図7は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その3）である。

【図8】 図8は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その4）である。

【図9】 図9は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その5）である。

【図10】 図10は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その6）である。

【図11】 図11は、本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す平面図（その1）である。

【図 1 2】 図 1 2 は、本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 7）である。

【図 1 3】 図 1 3 は、本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す平面図（その 2）である。

【図 1 4】 図 1 4 は、本発明の第 1 の実施の形態に係る半導体受光装置の斜視図である。

【図 1 5】 図 1 5 は、本発明の第 1 の実施の形態に係る半導体受光装置の深さ方向の電界分布を示すグラフである。

【図 1 6】 図 1 6 は、本発明の第 1 の実施の形態に係る半導体受光装置のキャリア増倍層を薄くする場合としない場合とにおける電界分布を示す図である。

【図 1 7】 図 1 7 は、本発明の第 2 の実施の形態に係るアバランシェフォトダイオードの断面図である。

【図 1 8】 図 1 8 は、本発明の第 2 の実施の形態に係るアバランシェフォトダイオードにおいて、キャリア増倍層の膜厚とMB積との関係について示すグラフである。

【図 1 9】 図 1 9 は、本発明の第 2 の実施の形態に係るアバランシェフォトダイオードにおいて、キャリア増倍層の膜厚とトンネル電流との関係について示すグラフである。

【図 2 0】 図 2 0 は、本発明の第 2 の実施の形態に係るアバランシェフォトダイオードにおいて、光吸収層の膜厚とMB積との関係について示すグラフである。

【図 2 1】 図 2 1 は、本発明の第 2 の実施の形態に係るアバランシェフォトダイオードにおいて、光吸収層の膜厚と量子効率との関係について示すグラフである。

【符号の説明】

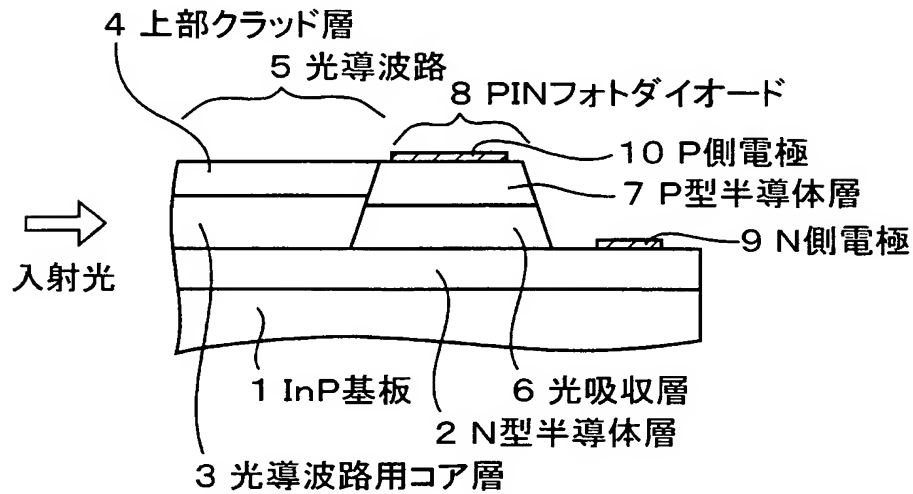
1…InP基板、1 a…段差面、2、3 2…N型半導体層、3…光導波路用コア層、4…上部クラッド層、5…光導波路、6、1 2、3 3…光吸収層、7、1 6、3 7…P型半導体層、8…PINフォトダイオード、9、1 8、3 0…N側電極、1

0、1 9、3 8…P側電極、1 3、3 4…ヘテロ障壁緩和層、1 4、3 5…N型電
界降下層、1 4 a…N型電界降下層の下側層、1 4 b…N型電界降下層の上側層、
1 5、3 6…キャリア増倍層、1 7…アバランシェフォトダイオード、2 0…レ
ジストパターン、2 1…InP層、2 2…SiO₂膜、2 3…SiN膜、2 3 a…ホール、
2 4…P側電極引出し配線。

【書類名】 図面

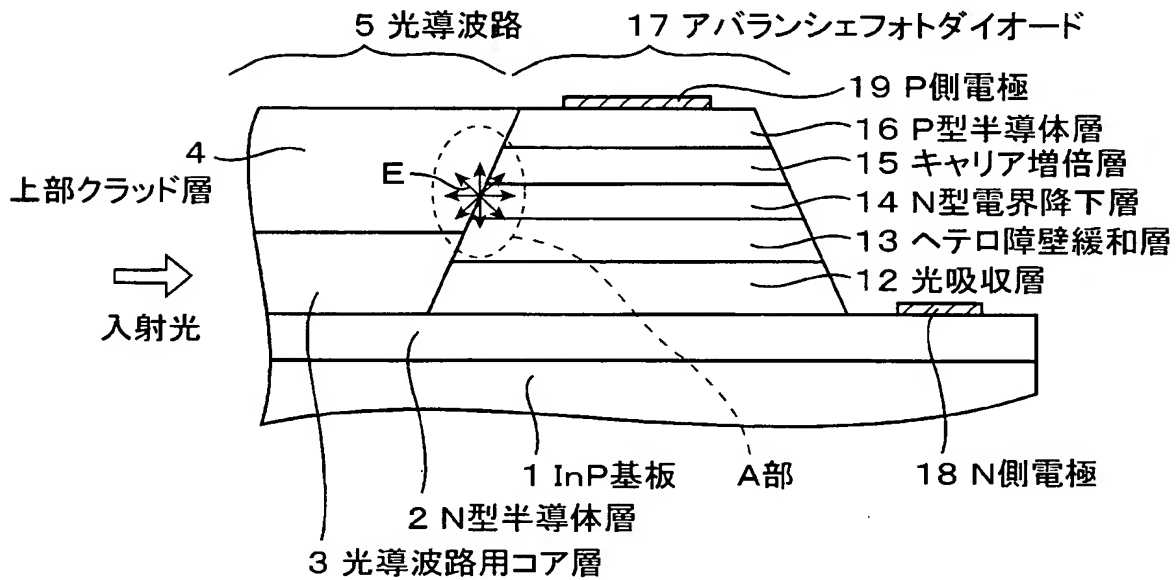
【図 1】

従来例に係る半導体受光装置の断面図



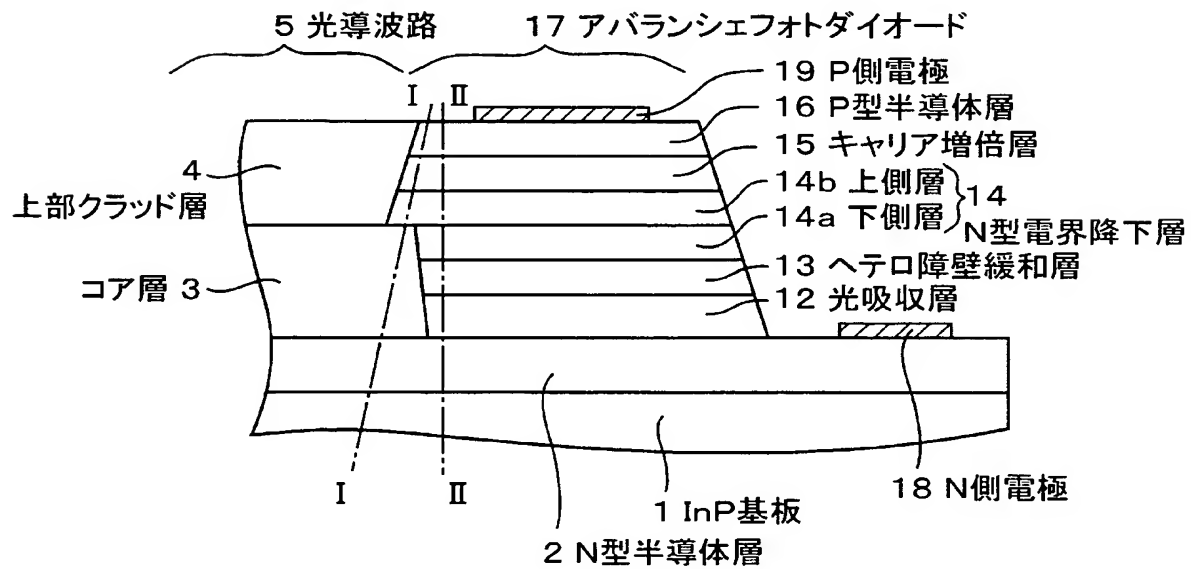
【図 2】

従来例に係る半導体受光装置のPINフォトダイオードを単純に
アバランシェフォトダイオードに置き換えた構造の断面図



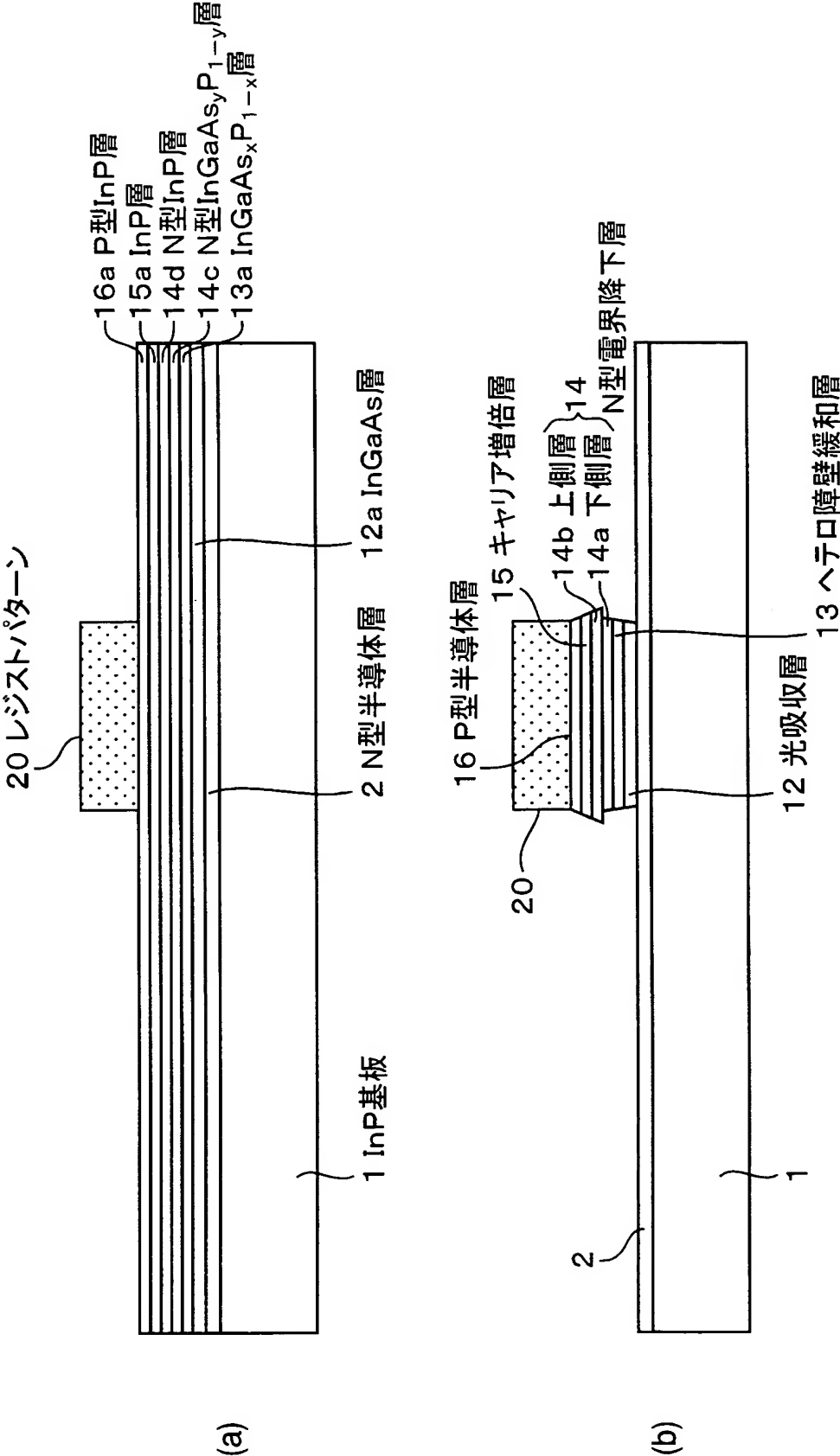
【図 3】

本発明の第1の実施形態に係る半導体受光装置の断面図



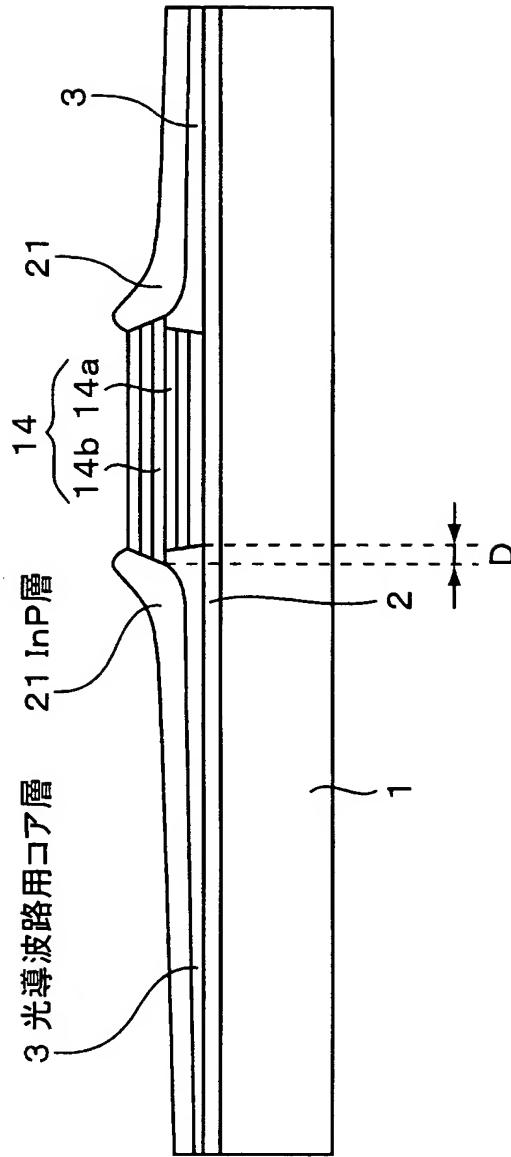
【図 4】

本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す断面図 (その 1)



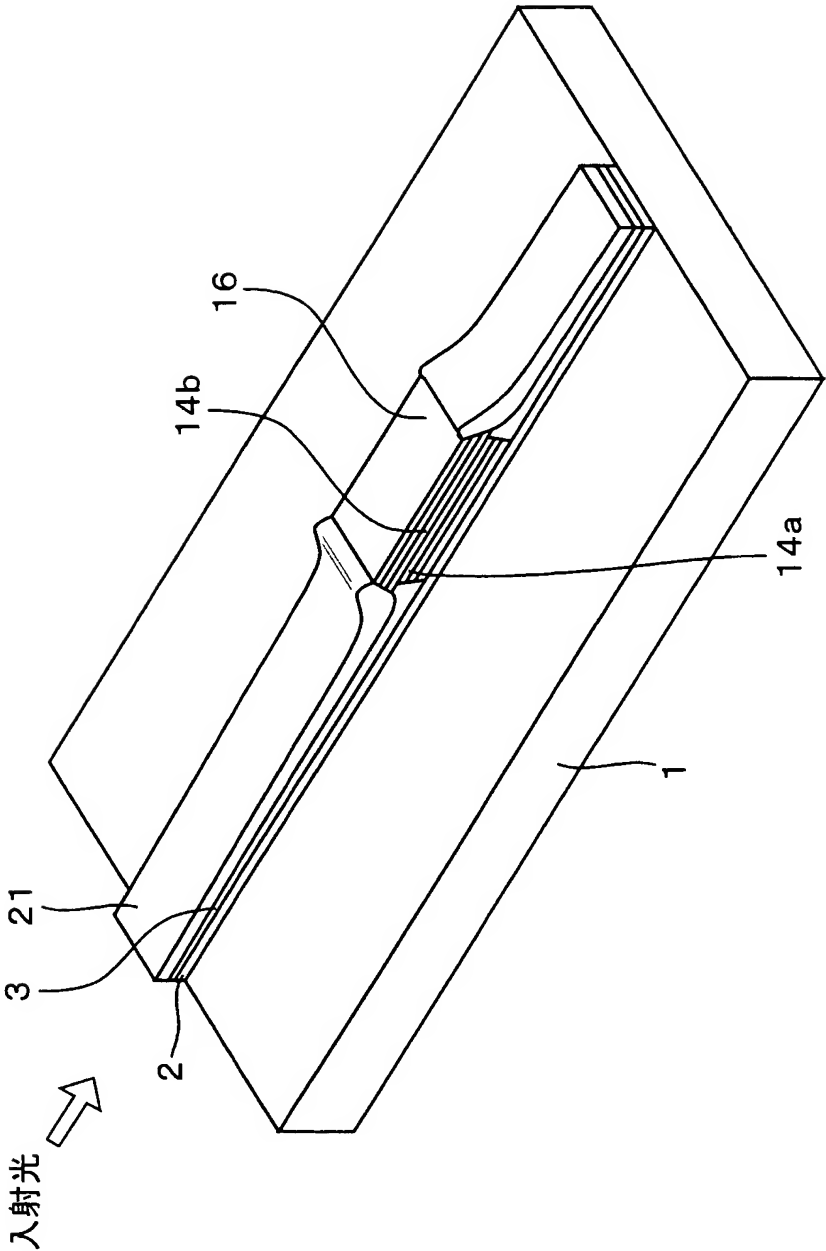
【図 5】

本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す断面図 (その 2)



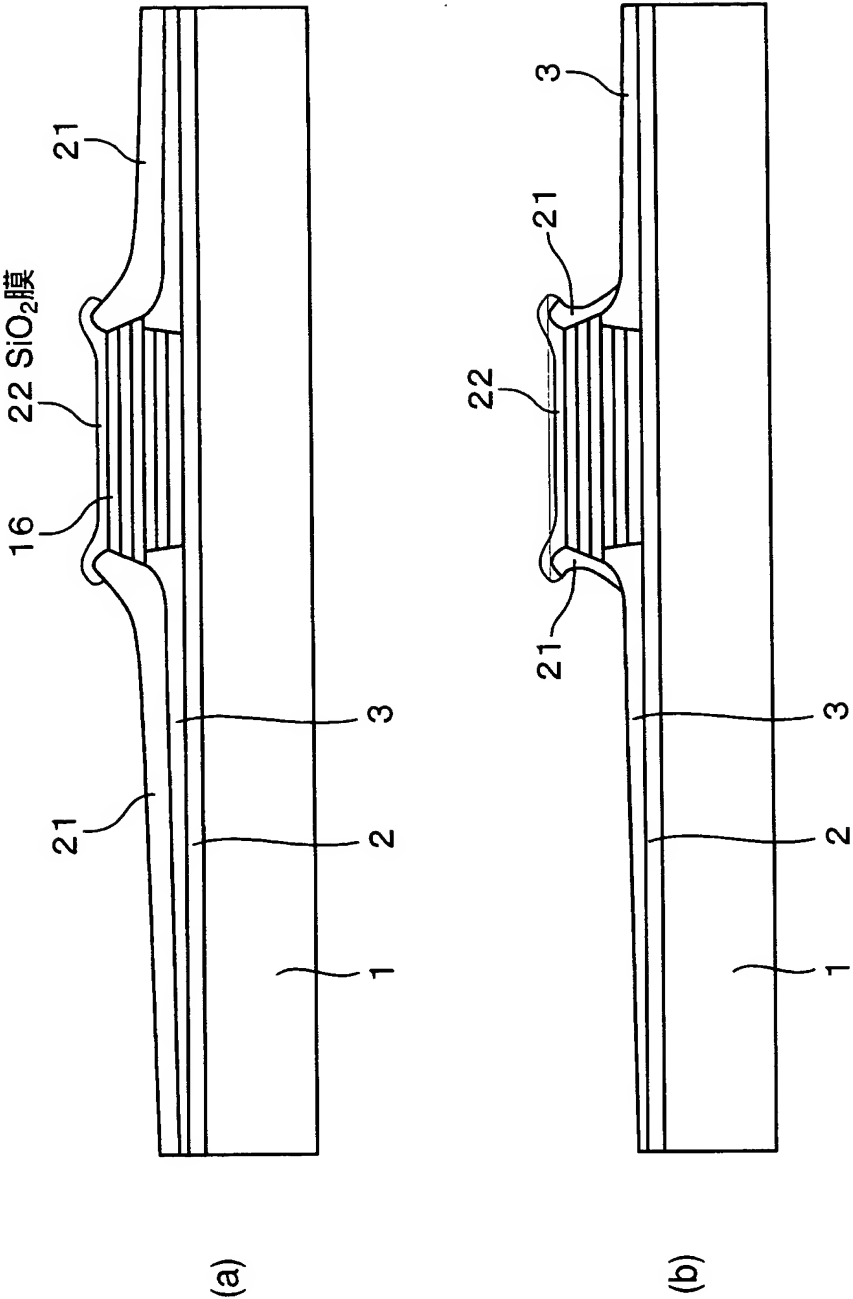
【図 6】

本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す斜視図



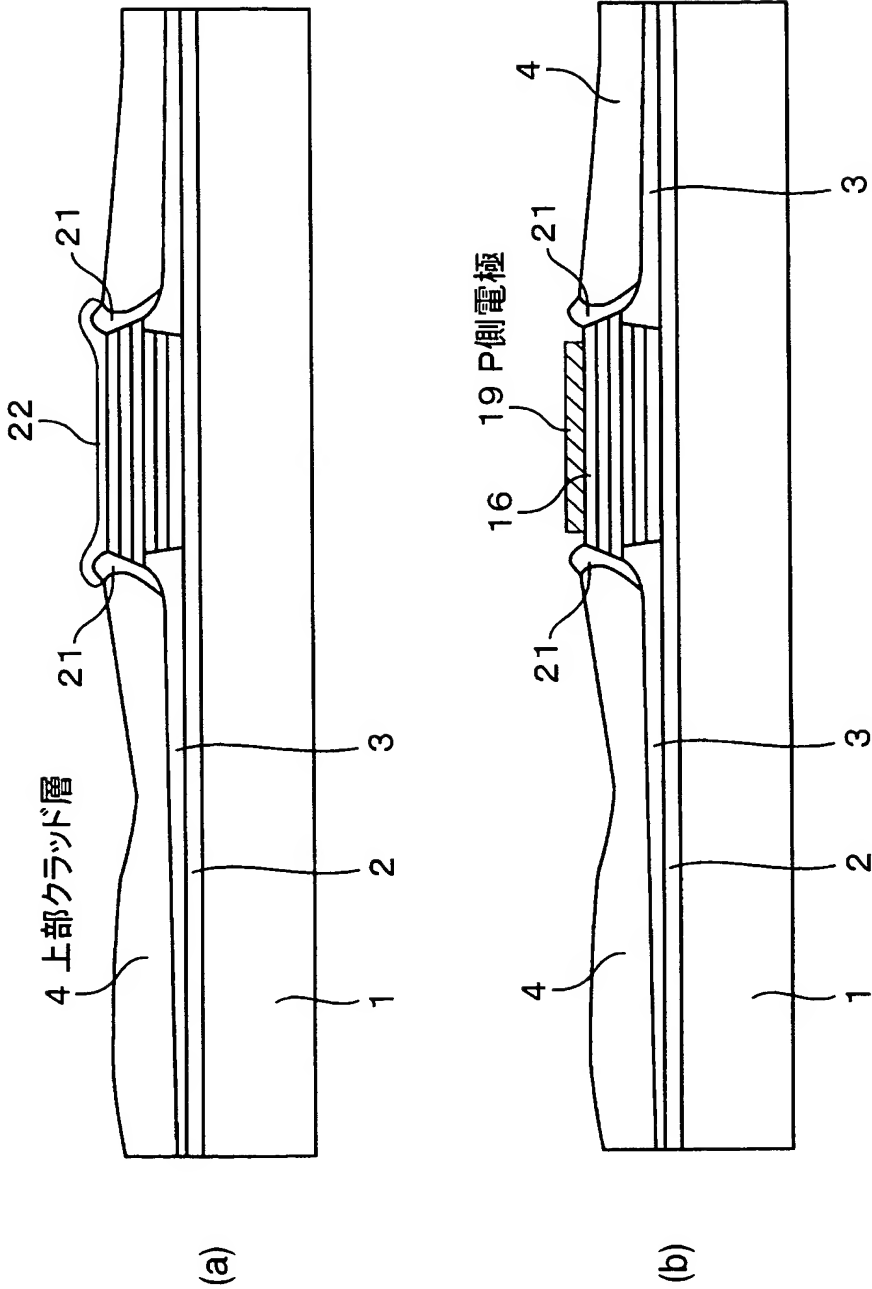
【図 7】

本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 3）



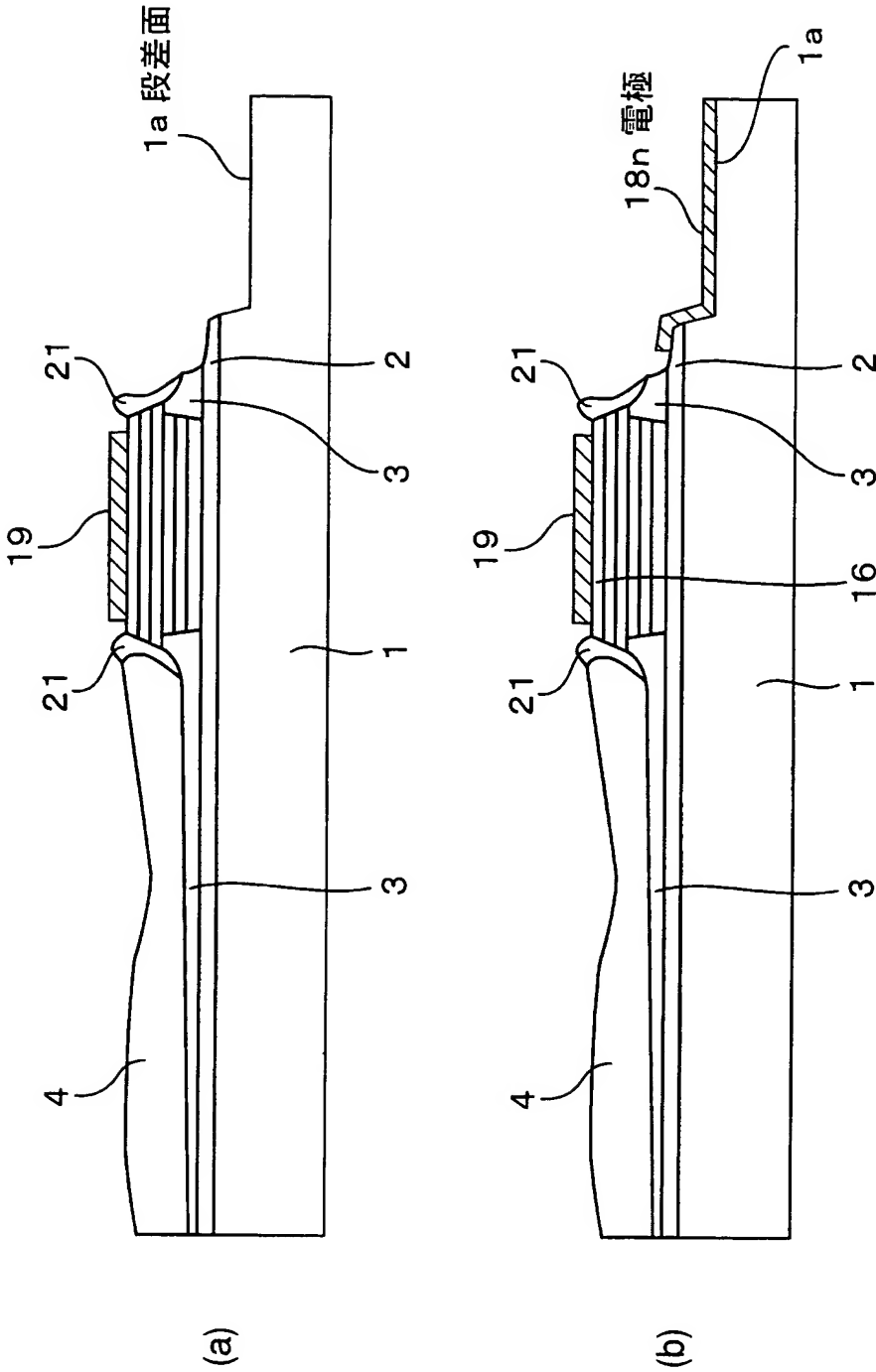
【図 8】

本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 4）



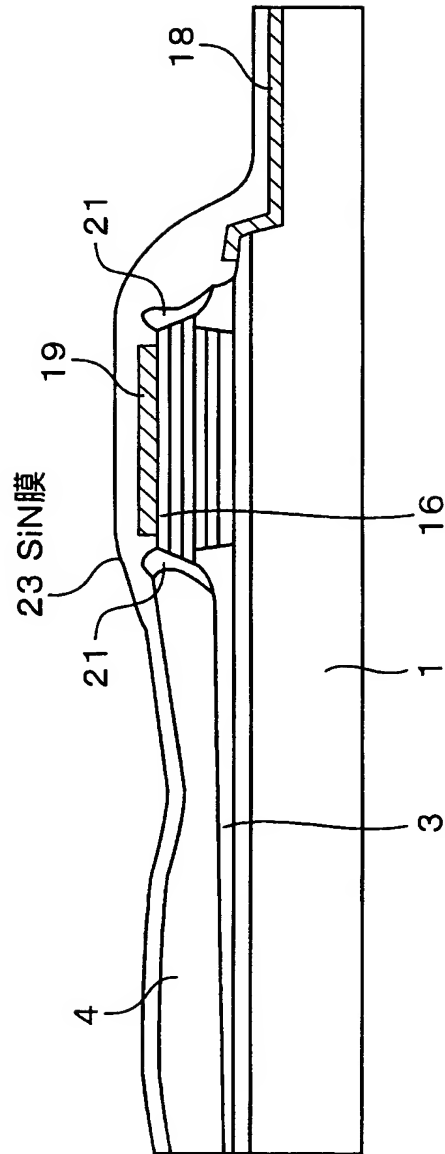
本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その5）

【図9】



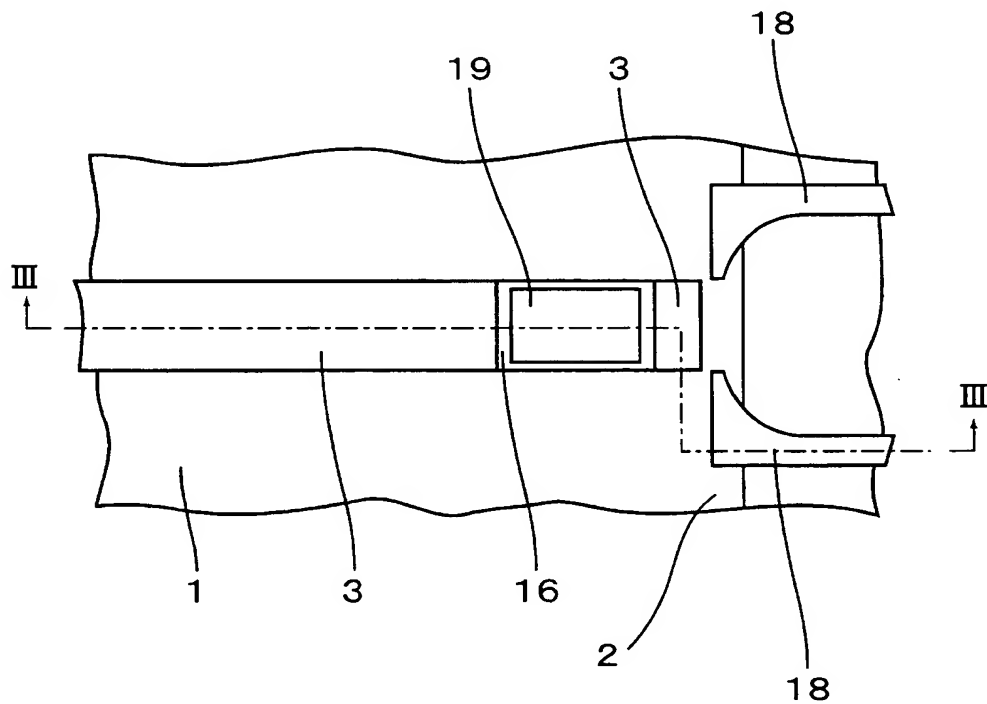
【図 10】

本発明の第1の実施の形態に係る半導体受光装置の製造工程について示す断面図（その6）



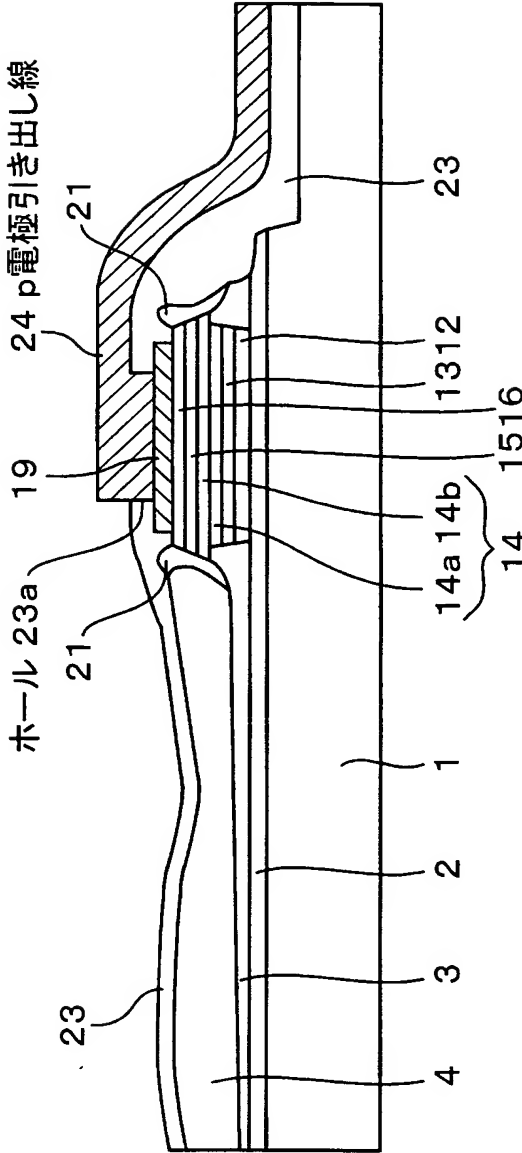
【図 11】

本発明の第1の実施の形態に係る半導体受光装置の平面図(その1)



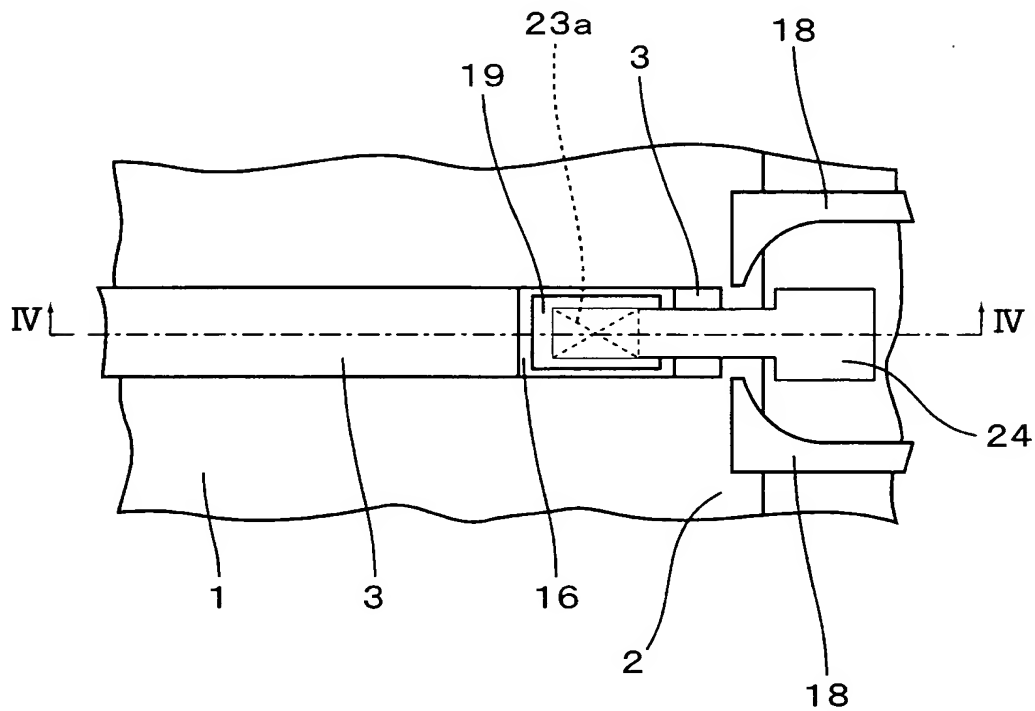
【図 12】

本発明の第 1 の実施の形態に係る半導体受光装置の製造工程について示す断面図（その 7）



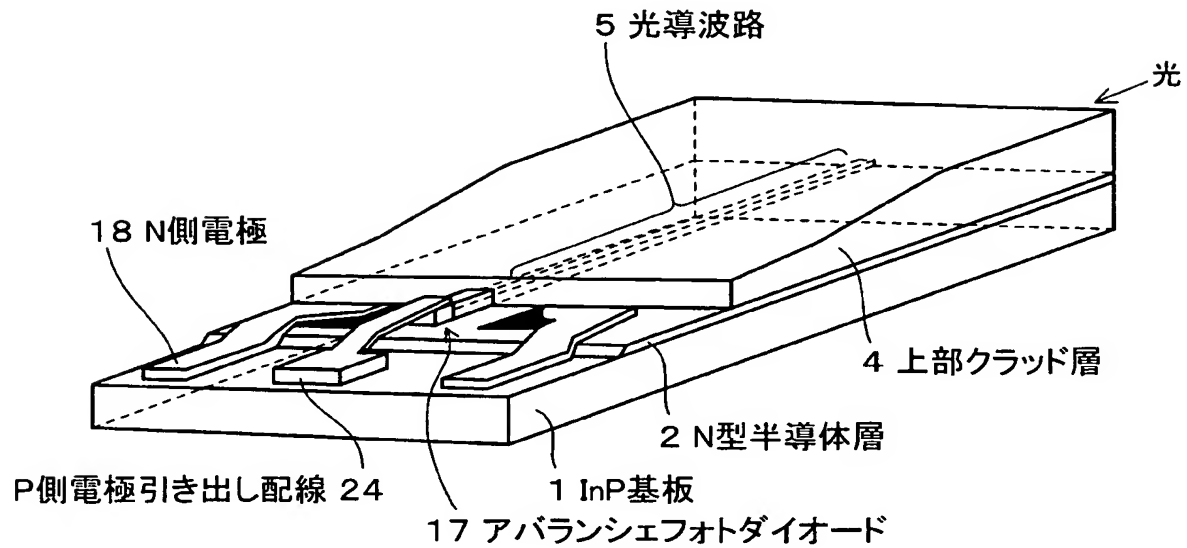
【図 13】

本発明の第1の実施の形態に係る半導体受光装置の平面図(その2)



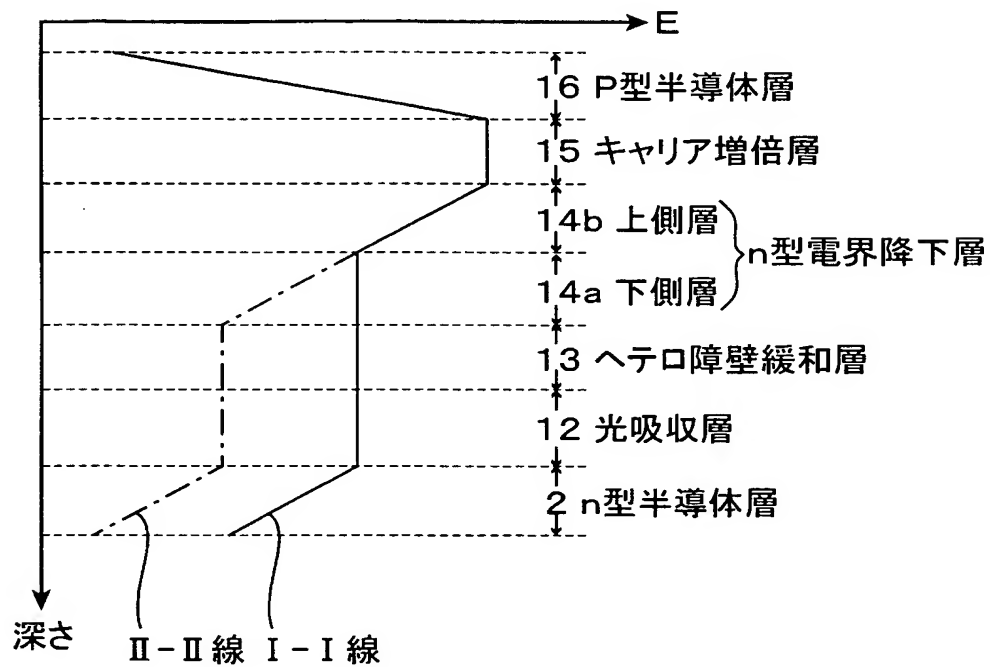
【図 14】

本発明の第1の実施形態に係る半導体受光装置の斜視図



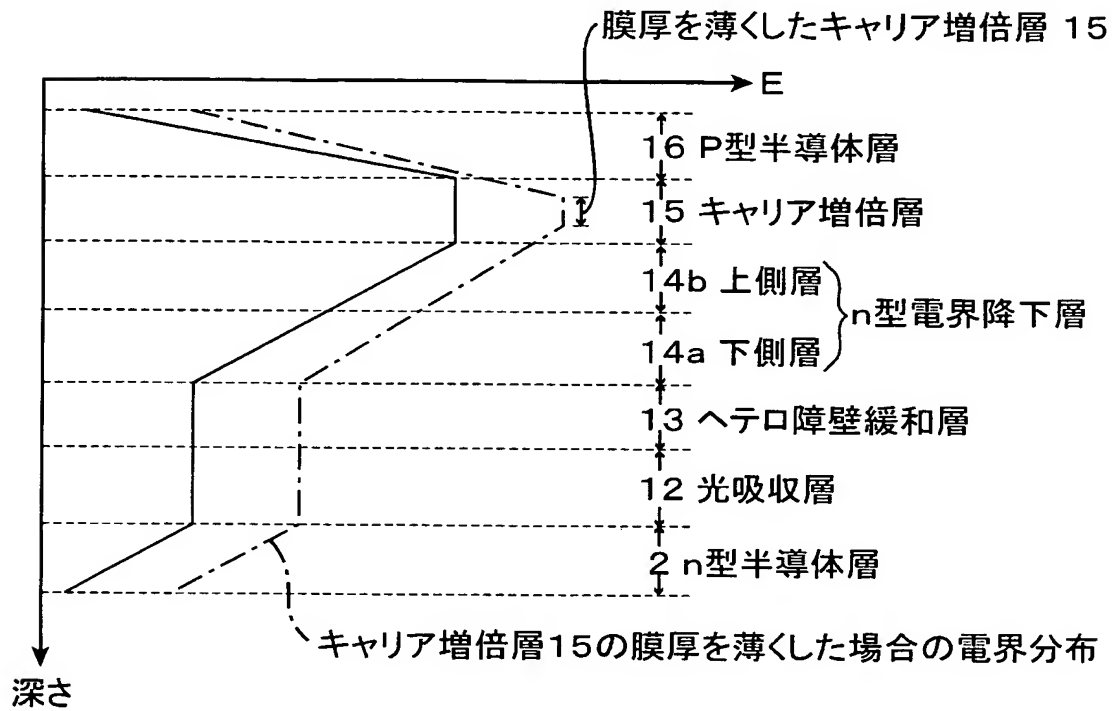
【図15】

本発明の第1の実施の形態に係る半導体受光装置の
深さ方向の電界分布を示すグラフ



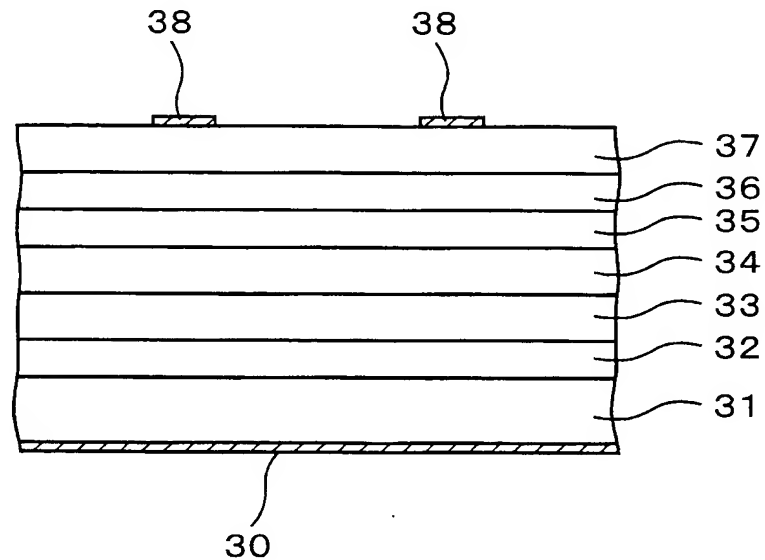
【図 16】

キャリア増倍層を薄くする場合と、しない場合とにおける、
アバランシェフォトダイオードの深さの方向の電界分布を示す図



【図 17】

本発明の第2の実施の形態に係るアバランシェフォトダイオードの断面図

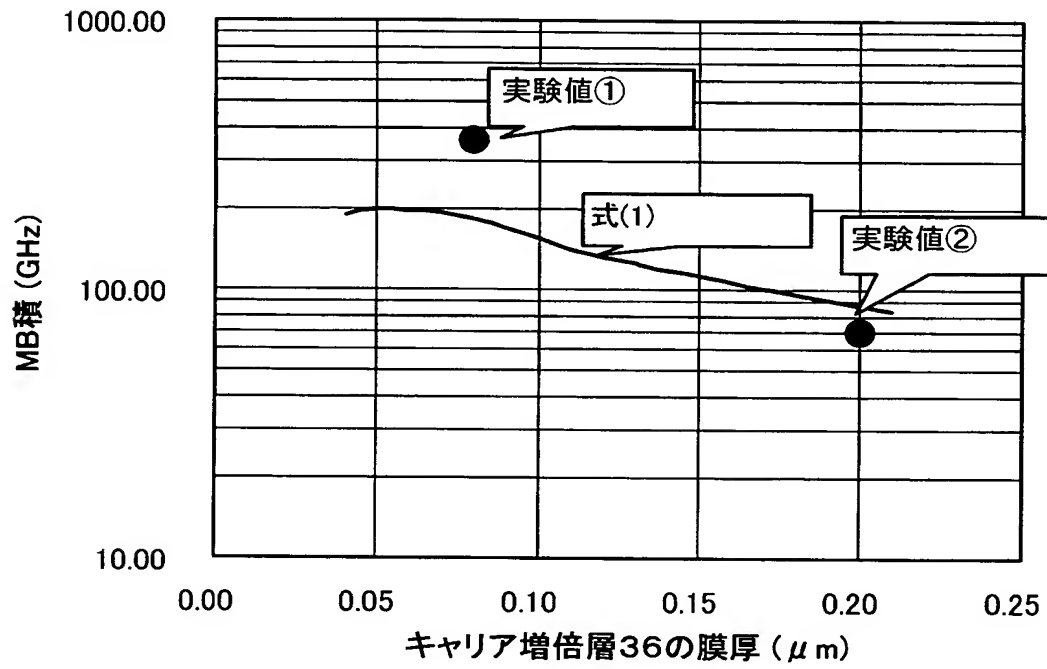


30: N側電極
31: InP基板
32: N型半導体層
33: 光吸収層
34: ヘテロ障壁緩和層

35: N型電界降下層
36: キャリア増倍層
37: P型半導体層
38: P側電極

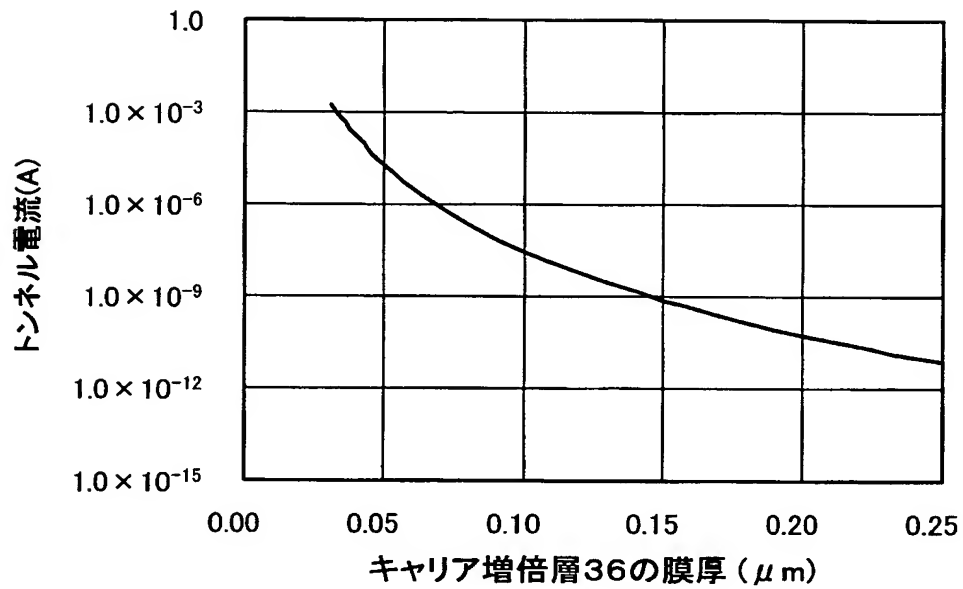
【図 18】

キャリア増倍層36の膜厚とMB積との関係について示すグラフ



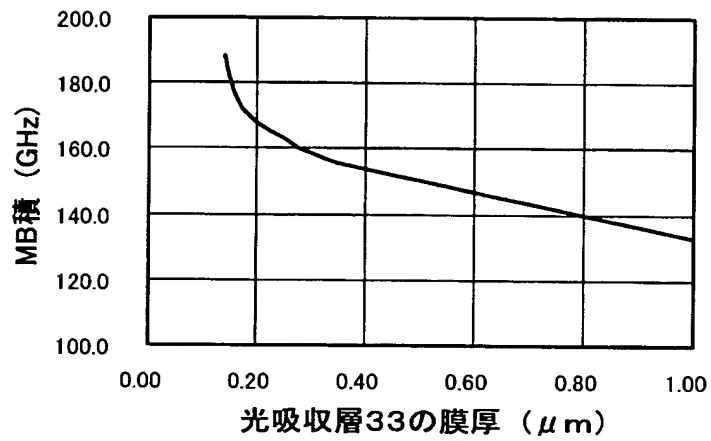
【図 19】

キャリア増倍層36の膜厚とトンネル電流との関係について示すグラフ



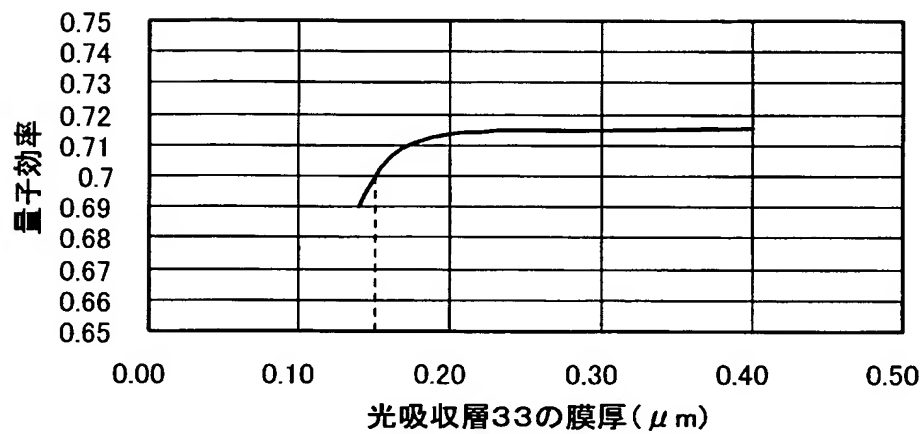
【図 2 0】

光吸収層33の膜厚とMB積との関係について示すグラフ



【図 21】

光吸収層33の膜厚と量子効率との関係について示すグラフ



【書類名】 要約書

【要約】

【課題】 従来よりも大きな光電流を取り出すことができ、また、受信感度の高い半導体受光装置を提供すること。

【解決手段】 InP基板 1 と、InP基板 1 上に形成されたn型半導体層 2 と、N型半導体層 2 の一部領域上に形成された光導波路用コア層 3 と、該光導波路用コア層 3 上に形成された上部クラッド層 4 とを有する光導波路 5 と、光吸収層 1 2 と、ヘテロ障壁緩和層 1 3 と、N型電界降下層 1 4 の下側層 1 4 a と、N型電界降下層 1 4 の上側層 1 4 b と、キャリア増倍層 1 5 と、P型半導体層 1 6 とをN型半導体層 2 の別の領域上に順に形成してなり、光導波路 5 と結合したアバランシェフォトダイオード 1 7 と、を備え、N型電界降下層 1 4 の下側層 1 4 a と光導波路用コア層 3 との各側面が接触し、且つ、N型電界降下層 1 4 の上側層 1 4 b の一部が光導波路用コア層 3 上に形成されたことを特徴とする半導体受光装置による。

【選択図】 図 3

特願 2 0 0 3 - 1 6 7 7 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社